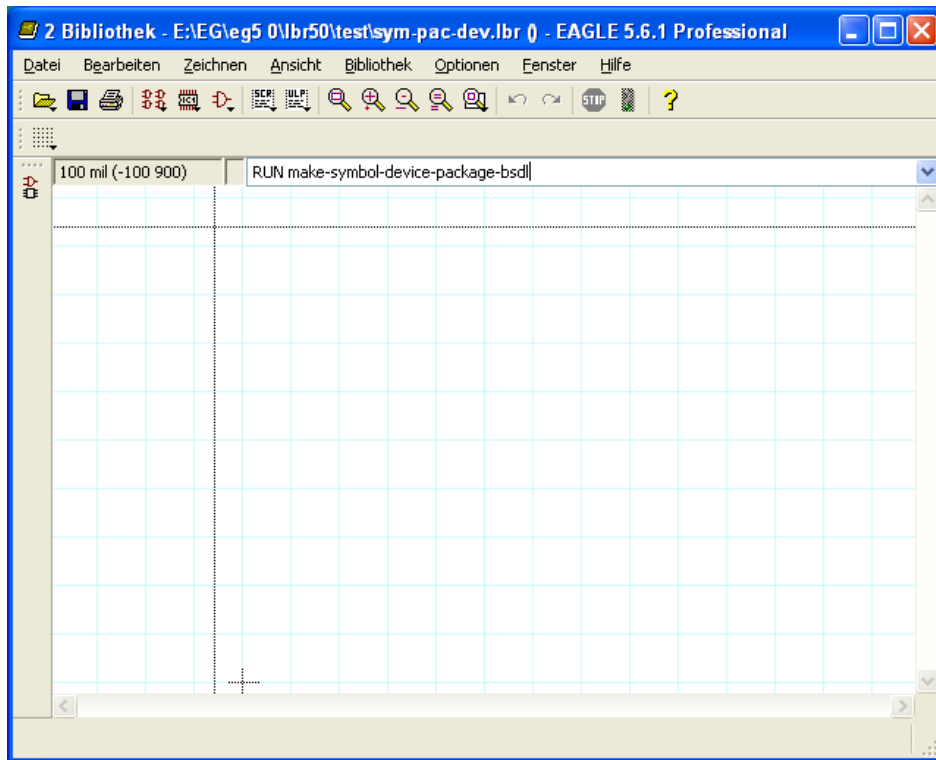


Symbol und Device mit Hilfe einer PDF/Text-Datei generieren.

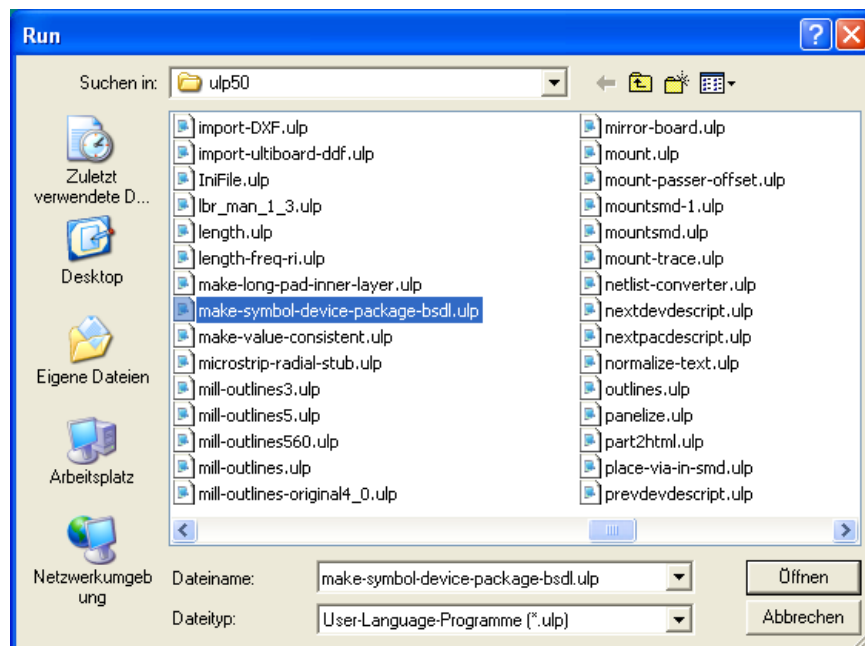
Beispiel mit einer PFD-Datei.

Geben Sie in der Kommandozeile folgenden Befehl ein,

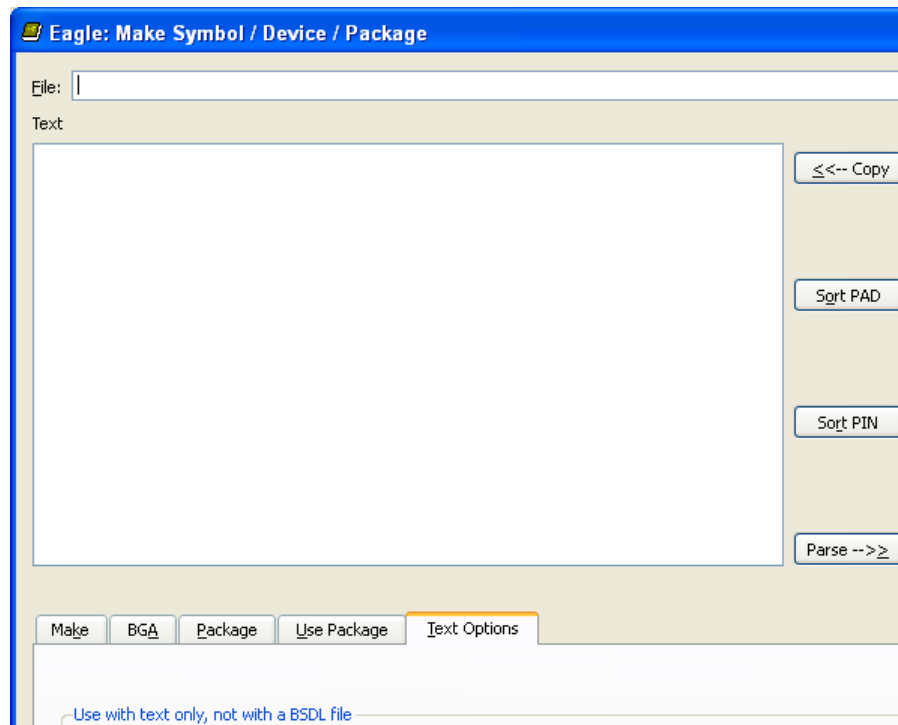
RUN make-symbol-device-package-bsd



oder klicken Sie auf den Button Run
und wählen dann



Wechseln Sie zur Karteikarte Text Options.

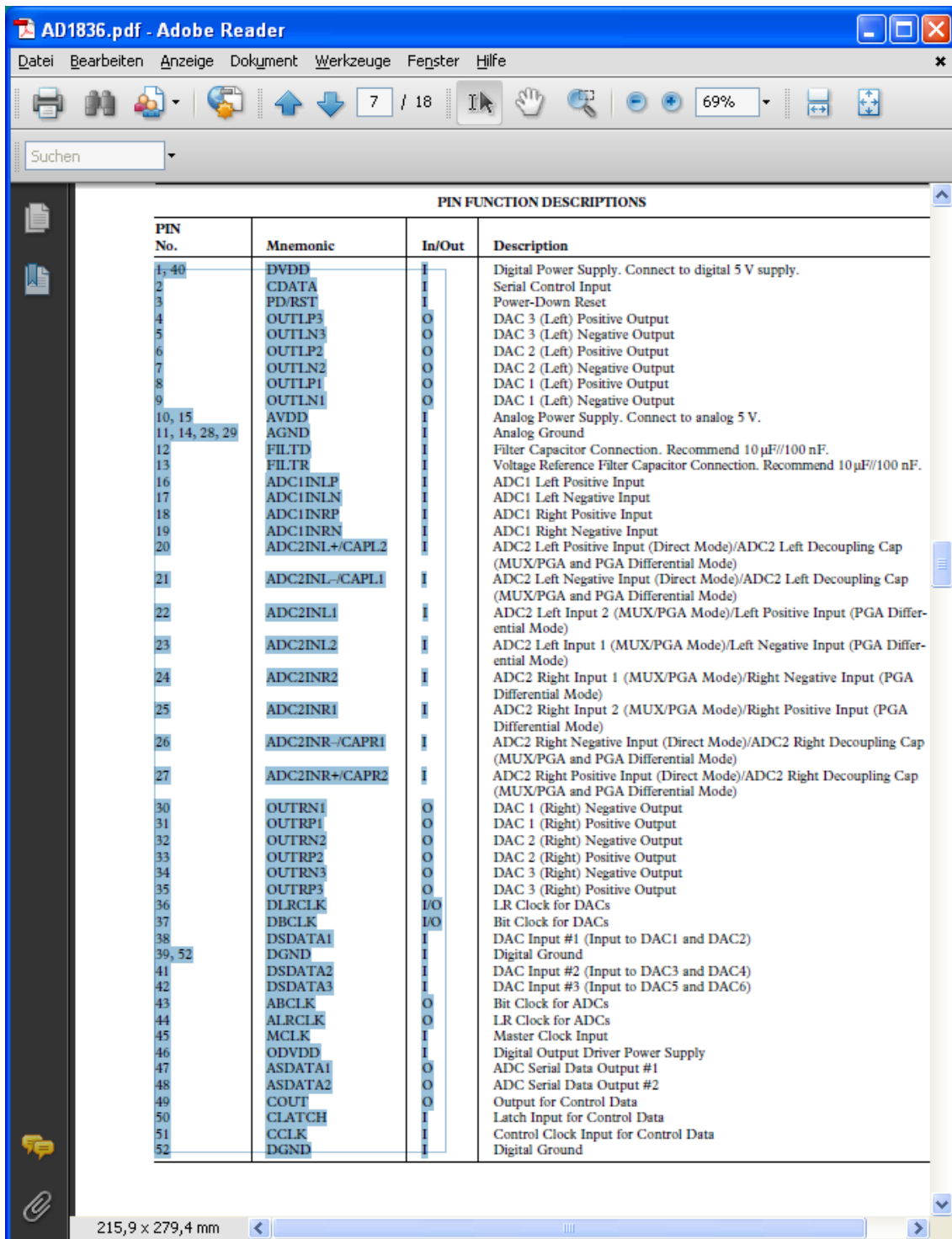


Öffnen Sie das PDF-Datenblatt eines Bauteiles und blättern Sie zu der Liste der Pin-Definition.

The screenshot shows the Adobe Reader interface with the document 'AD1836.pdf' open. The 'PIN FUNCTION DESCRIPTIONS' table is displayed, listing pin numbers, mnemonics, input/output types, and descriptions. The table is organized into four columns: PIN No., Mnemonic, In/Out, and Description. The pin numbers range from 1 to 52, with some pins having multiple functions or connections. The descriptions provide detailed information about the pin's function, such as digital power supply, serial control input, power-down reset, DAC outputs, analog power supply, filter capacitor connection, voltage reference filter capacitor connection, ADC inputs, and DAC outputs.

PIN No.	Mnemonic	In/Out	Description
1, 40	DVDD	I	Digital Power Supply. Connect to digital 5 V supply.
2	CDATA	I	Serial Control Input
3	PD/RST	I	Power-Down Reset
4	OUTLP3	O	DAC 3 (Left) Positive Output
5	OUTLN3	O	DAC 3 (Left) Negative Output
6	OUTLP2	O	DAC 2 (Left) Positive Output
7	OUTLN2	O	DAC 2 (Left) Negative Output
8	OUTLP1	O	DAC 1 (Left) Positive Output
9	OUTLN1	O	DAC 1 (Left) Negative Output
10, 15	AVDD	I	Analog Power Supply. Connect to analog 5 V.
11, 14, 28, 29	AGND	I	Analog Ground
12	FILTD	I	Filter Capacitor Connection. Recommend 10 µF/100 nF.
13	FILTR	I	Voltage Reference Filter Capacitor Connection. Recommend 10 µF/100 nF.
16	ADC1INLP	I	ADC1 Left Positive Input
17	ADC1INLN	I	ADC1 Left Negative Input
18	ADC1INRP	I	ADC1 Right Positive Input
19	ADC1INRN	I	ADC1 Right Negative Input
20	ADC2INL+/CAPL2	I	ADC2 Left Positive Input (Direct Mode)/ADC2 Left Decoupling Cap (MUX/PGA and PGA Differential Mode)
21	ADC2INL-/CAPL1	I	ADC2 Left Negative Input (Direct Mode)/ADC2 Left Decoupling Cap (MUX/PGA and PGA Differential Mode)
22	ADC2INL1	I	ADC2 Left Input 2 (MUX/PGA Mode)/Left Positive Input (PGA Differential Mode)
23	ADC2INL2	I	ADC2 Left Input 1 (MUX/PGA Mode)/Left Negative Input (PGA Differential Mode)
24	ADC2INR2	I	ADC2 Right Input 1 (MUX/PGA Mode)/Right Negative Input (PGA Differential Mode)
25	ADC2INR1	I	ADC2 Right Input 2 (MUX/PGA Mode)/Right Positive Input (PGA Differential Mode)
26	ADC2INR-/CAPR1	I	ADC2 Right Negative Input (Direct Mode)/ADC2 Right Decoupling Cap (MUX/PGA and PGA Differential Mode)
27	ADC2INR+/CAPR2	I	ADC2 Right Positive Input (Direct Mode)/ADC2 Right Decoupling Cap (MUX/PGA and PGA Differential Mode)
30	OUTRN1	O	DAC 1 (Right) Negative Output
31	OUTRP1	O	DAC 1 (Right) Positive Output
32	OUTRN2	O	DAC 2 (Right) Negative Output
33	OUTRP2	O	DAC 2 (Right) Positive Output
34	OUTRN3	O	DAC 3 (Right) Negative Output
35	OUTRP3	O	DAC 3 (Right) Positive Output
36	DLRCLK	I/O	LR Clock for DACs
37	DBCLK	I/O	Bit Clock for DACs
38	DSDATA1	I	DAC Input #1 (Input to DAC1 and DAC2)
39, 52	DGND	I	Digital Ground
41	DSDATA2	I	DAC Input #2 (Input to DAC3 and DAC4)
42	DSDATA3	I	DAC Input #3 (Input to DAC5 and DAC6)
43	ABCLK	O	Bit Clock for ADCs
44	ALRCLK	O	LR Clock for ADCs
45	MCLK	I	Master Clock Input
46	ODVDD	I	Digital Output Driver Power Supply
47	ASDATA1	O	ADC Serial Data Output #1
48	ASDATA2	O	ADC Serial Data Output #2
49	COUT	O	Output for Control Data
50	CLATCH	I	Latch Input for Control Data
51	CCLK	I	Control Clock Input for Control Data
52	DGND	I	Digital Ground

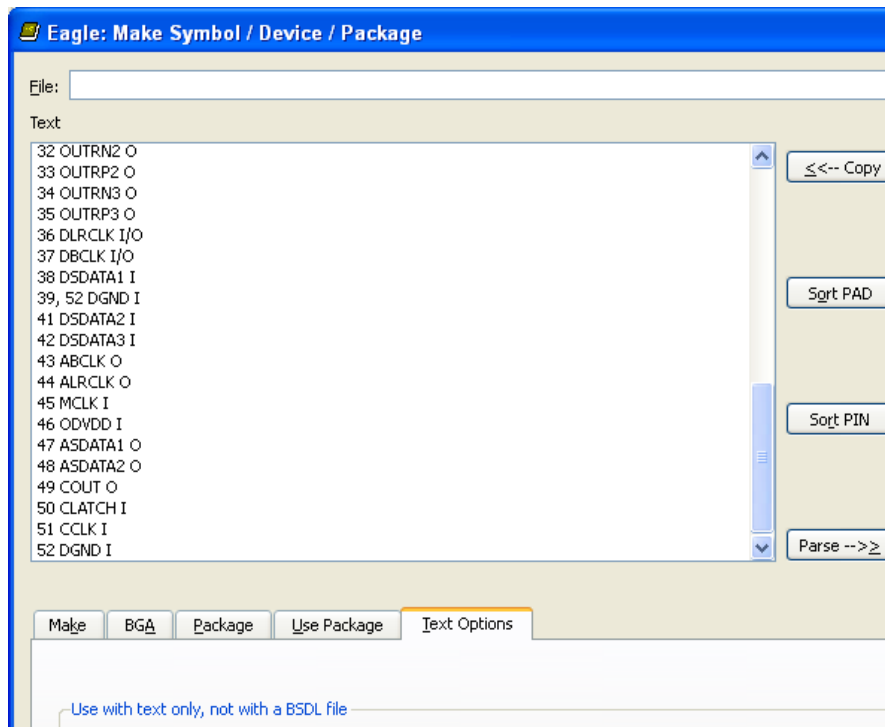
Markieren Sie durch drücken der ALT-Taste und ziehen der Maus bei gedrückter linker Maustaste über den Text, den gewünschten Bereich.



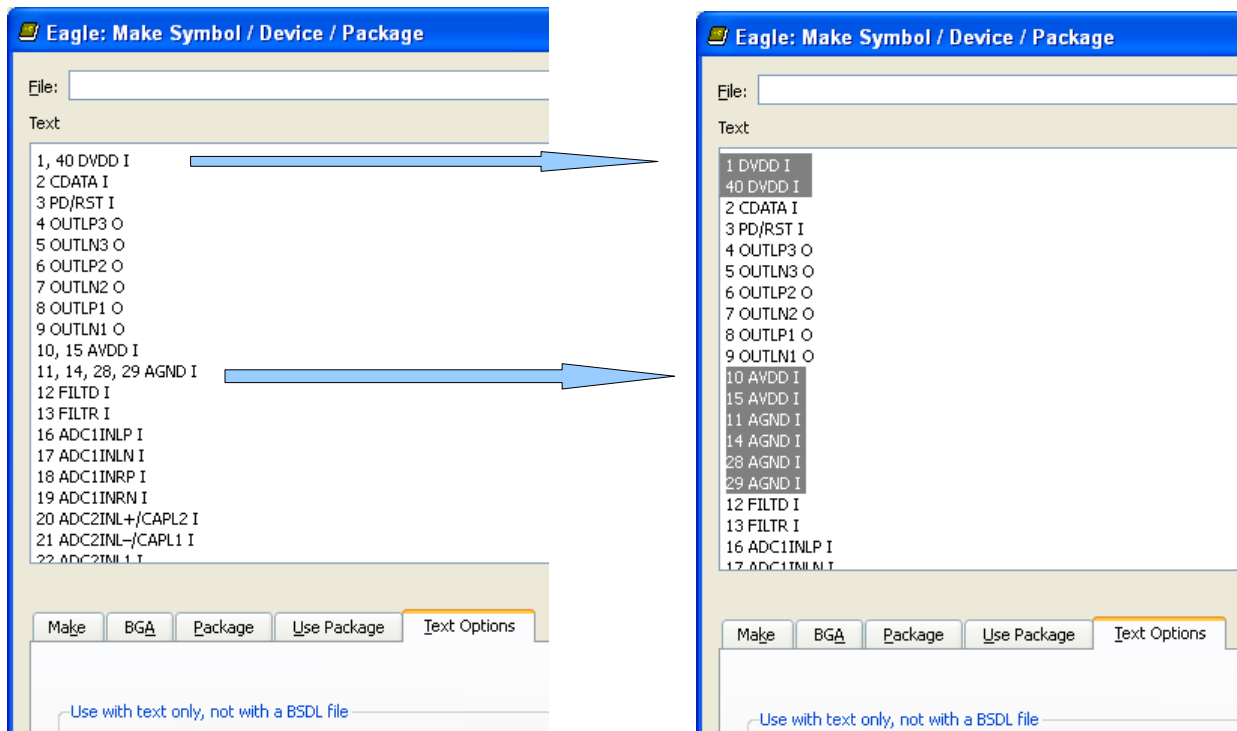
PIN No.	Mnemonic	In/Out	Description
1, 40	DVDD	I	Digital Power Supply. Connect to digital 5 V supply.
2	CDATA	I	Serial Control Input
3	PD/RST	I	Power-Down Reset
4	OUTLP3	O	DAC 3 (Left) Positive Output
5	OUTLN3	O	DAC 3 (Left) Negative Output
6	OUTLP2	O	DAC 2 (Left) Positive Output
7	OUTLN2	O	DAC 2 (Left) Negative Output
8	OUTLP1	O	DAC 1 (Left) Positive Output
9	OUTLN1	O	DAC 1 (Left) Negative Output
10, 15	AVDD	I	Analog Power Supply. Connect to analog 5 V.
11, 14, 28, 29	AGND	I	Analog Ground
12	FILTD	I	Filter Capacitor Connection. Recommend 10 µF//100 nF.
13	FILTR	I	Voltage Reference Filter Capacitor Connection. Recommend 10 µF//100 nF.
16	ADC1INLP	I	ADC1 Left Positive Input
17	ADC1INLN	I	ADC1 Left Negative Input
18	ADC1INRP	I	ADC1 Right Positive Input
19	ADC1INRN	I	ADC1 Right Negative Input
20	ADC2INL+/CAPL2	I	ADC2 Left Positive Input (Direct Mode)/ADC2 Left Decoupling Cap (MUX/PGA and PGA Differential Mode)
21	ADC2INL-/CAPL1	I	ADC2 Left Negative Input (Direct Mode)/ADC2 Left Decoupling Cap (MUX/PGA and PGA Differential Mode)
22	ADC2INL1	I	ADC2 Left Input 2 (MUX/PGA Mode)/Left Positive Input (PGA Differential Mode)
23	ADC2INL2	I	ADC2 Left Input 1 (MUX/PGA Mode)/Left Negative Input (PGA Differential Mode)
24	ADC2INR2	I	ADC2 Right Input 1 (MUX/PGA Mode)/Right Negative Input (PGA Differential Mode)
25	ADC2INR1	I	ADC2 Right Input 2 (MUX/PGA Mode)/Right Positive Input (PGA Differential Mode)
26	ADC2INR-/CAPR1	I	ADC2 Right Negative Input (Direct Mode)/ADC2 Right Decoupling Cap (MUX/PGA and PGA Differential Mode)
27	ADC2INR+/CAPR2	I	ADC2 Right Positive Input (Direct Mode)/ADC2 Right Decoupling Cap (MUX/PGA and PGA Differential Mode)
30	OUTRN1	O	DAC 1 (Right) Negative Output
31	OUTRP1	O	DAC 1 (Right) Positive Output
32	OUTRN2	O	DAC 2 (Right) Negative Output
33	OUTRP2	O	DAC 2 (Right) Positive Output
34	OUTRN3	O	DAC 3 (Right) Negative Output
35	OUTRP3	O	DAC 3 (Right) Positive Output
36	DLRCLK	I/O	LR Clock for DACs
37	DBCLK	I/O	Bit Clock for DACs
38	DSDATA1	I	DAC Input #1 (Input to DAC1 and DAC2)
39, 52	DGND	I	Digital Ground
41	DSDATA2	I	DAC Input #2 (Input to DAC3 and DAC4)
42	DSDATA3	I	DAC Input #3 (Input to DAC5 and DAC6)
43	ABCLK	O	Bit Clock for ADCs
44	ALRCLK	O	LR Clock for ADCs
45	MCLK	I	Master Clock Input
46	ODVDD	I	Digital Output Driver Power Supply
47	ASDATA1	O	ADC Serial Data Output #1
48	ASDATA2	O	ADC Serial Data Output #2
49	COUT	O	Output for Control Data
50	CLATCH	I	Latch Input for Control Data
51	CCLK	I	Control Clock Input for Control Data
52	DGND	I	Digital Ground

Kopieren Sie den markierten Text mit Ctrl+C (Strg+C) in das Windows-Clipboard.

Wechseln Sie zum ULP-Fenster und klicken in das Textfeld. Kopieren Sie den Text aus dem Windows-Clipboard mit Ctrl+V (Strg+V) in das Text-Feld.

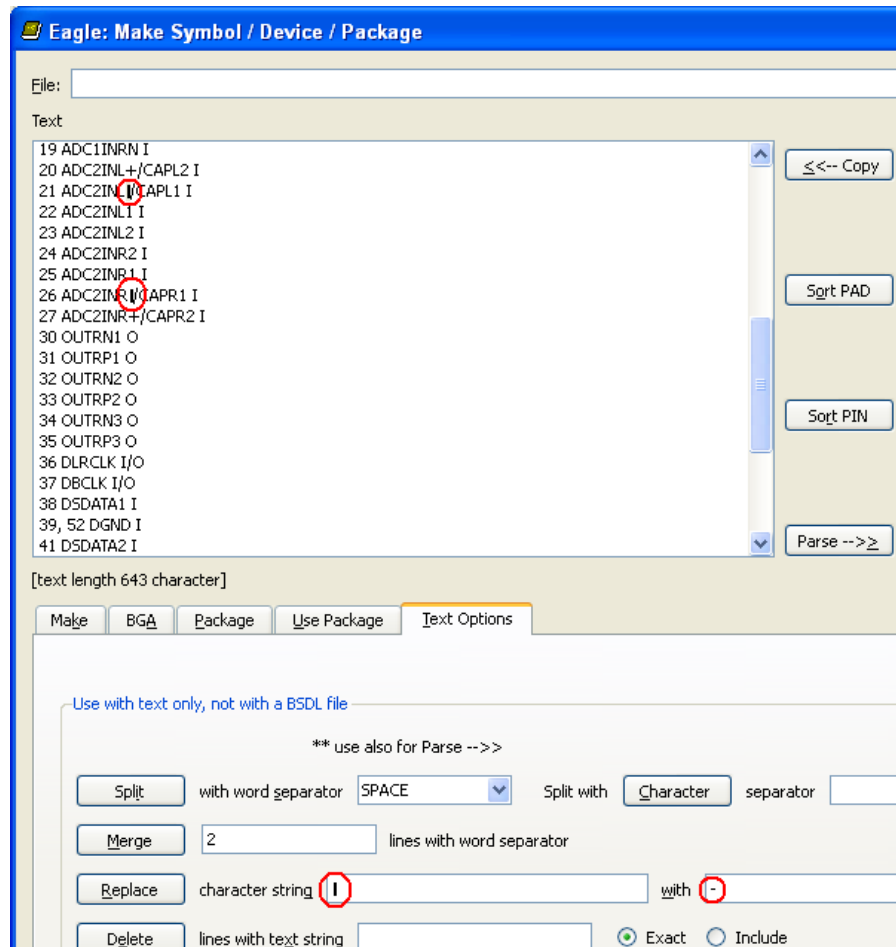


Editieren Sie den Text so, daß mehrfach Definitionen in einer Zeile auf mehrere Zeilen verteilt sind. Es darf pro Zeile nur ein Pin/Pad beschrieben werden.

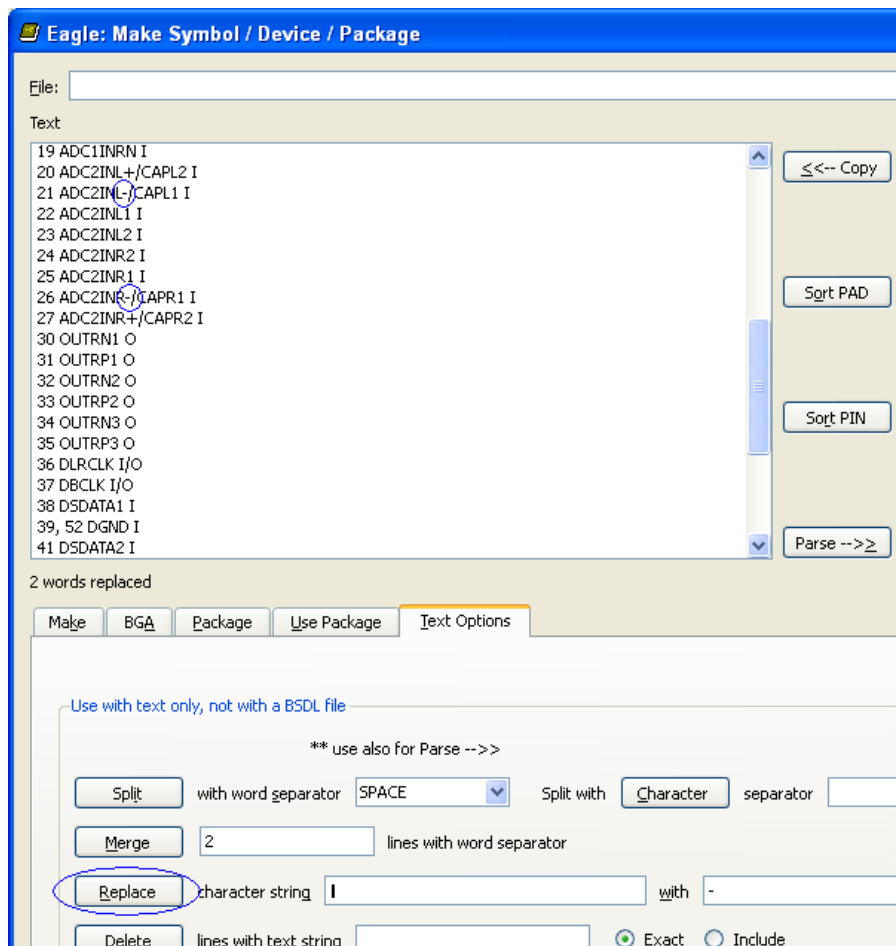


Tauschen Sie mit [Replace] sonstige störende Zeichen.

Hier im Beispiel der lange Bindestrich aus der PDF, der meistens als senkrechter Strich übernommen wird,

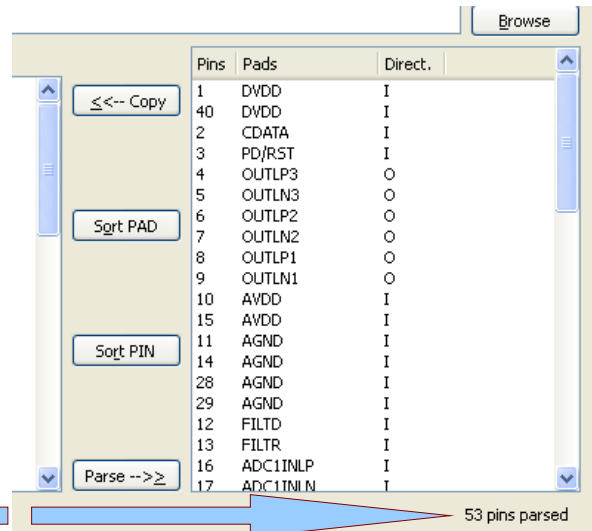


... zum Minus-Zeichen (Bindestrich).



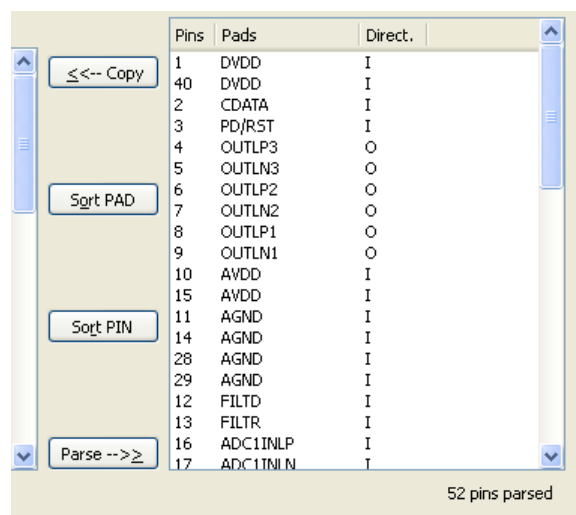
Entfernen Sie eventuell vorkommende doppelte Leerzeichen (Space) ebenfalls mit [Replace] character string [] width [].

Klicken Sie auf [Parse -->>] und der Text wird in die Liste übernommen.



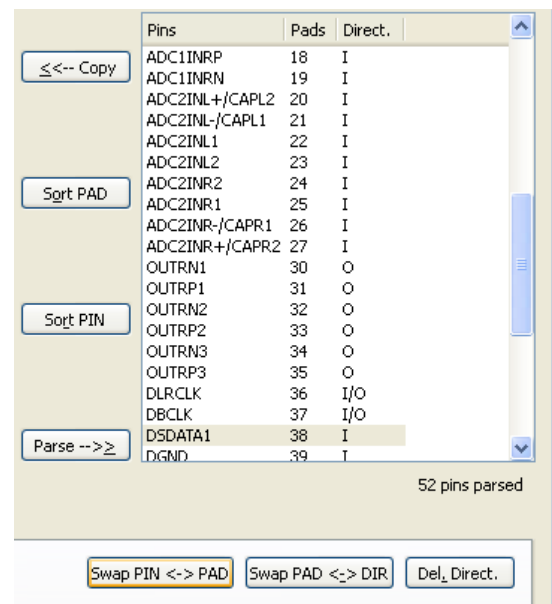
Achtung: Es wurden 53 Pins geparsed!

Der Grund ist in diesem Fall der Pin 52 DGND, der im PDF doppelt definiert wurde! Löschen Sie die letzte Zeile aus dem Text, und klicken Sie erneut auf [Parse -->>].



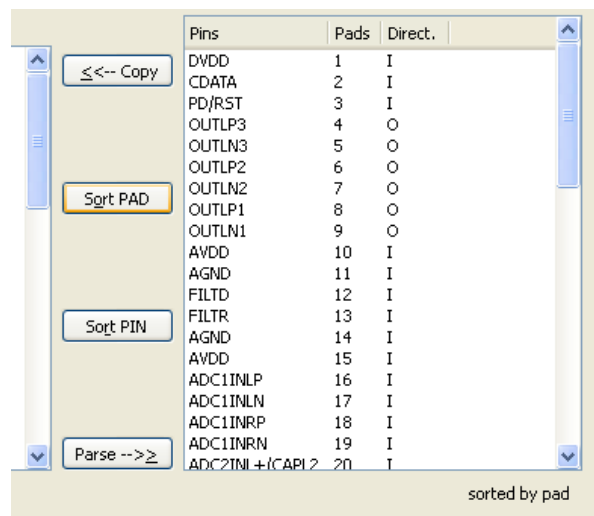
Es werden jetzt nur noch 52 Pins geparsed.

Jetzt müssen noch die Pin- mit den Pad-Namen getauscht werden.

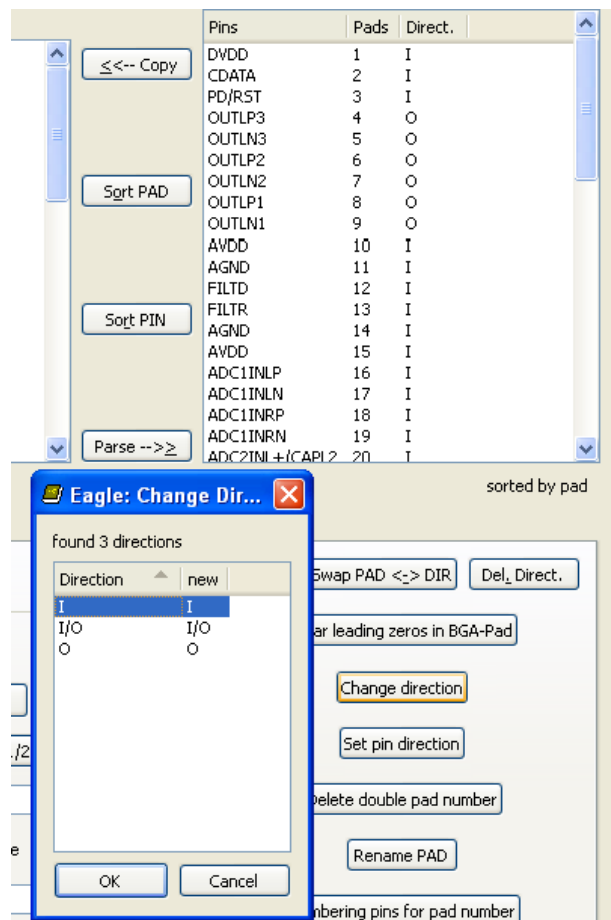


Klicken Sie dazu auf den Button [Swap PIN ↔ PAD].

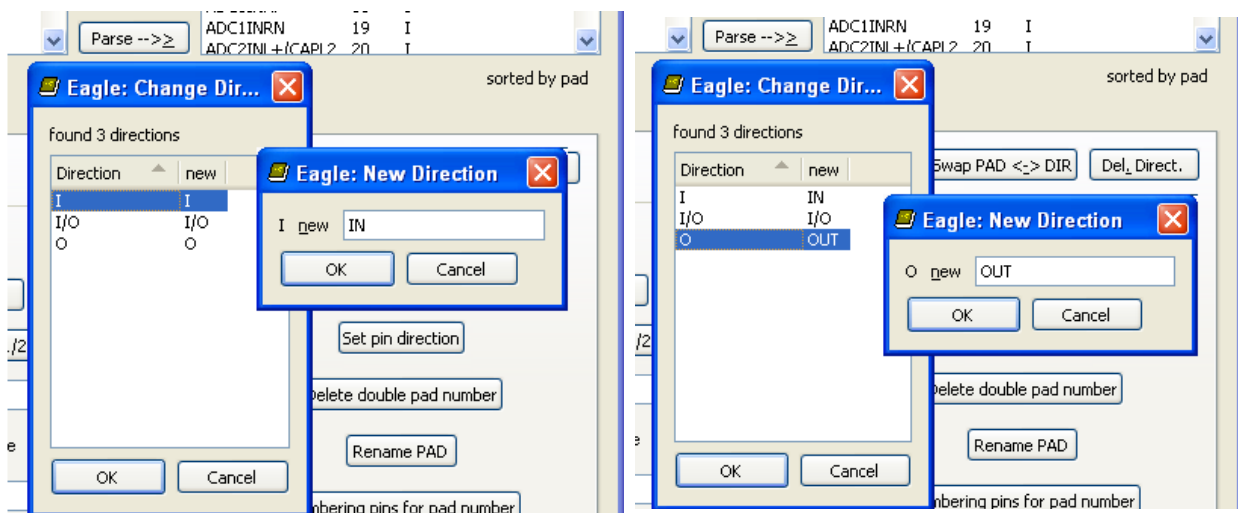
Sortieren sie als nächstes die Liste nach den Pad-Nummern mit [Sort PAD].



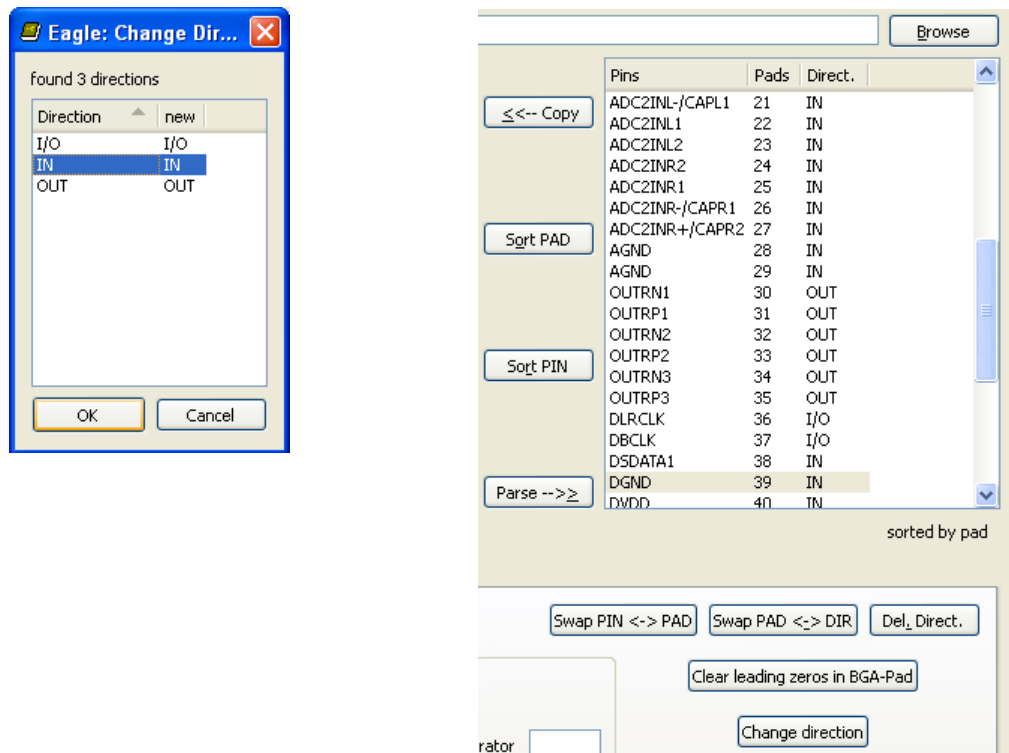
Ändern Sie die Direction entsprechend der reservierten Bezeichnungen in Eagle mit dem Button [Change direction].



Ändern Sie "I" zu "IN" und "O" zu "OUT".

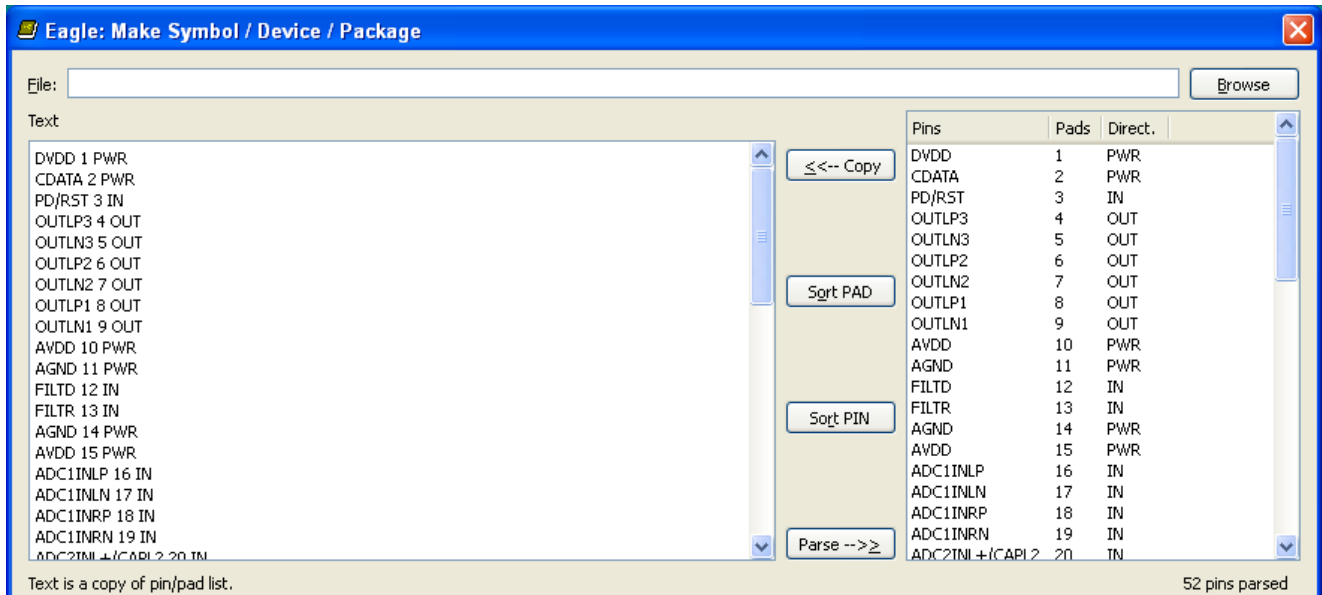


Mit [OK] werden die Änderungen vorgenommen.



Bei Pins wie xVDD xGND sollte die Direction PWR eingetragen werden.

Kopieren Sie dazu mit [<-- Copy] die Liste in das Textfeld, ändern Sie die Direction zu PWR und parsen Sie den Text erneut in die Liste mit [Parse -->].



Wechseln Sie zur Karteikarte Use Package

16 ADC1INLP IN
17 ADC1INLNLIN

0 words replaced

Make BGA Package **Use Package** Text Options

Package options

☒ None
☐ Use PAD Names supplied with BSD file (for BGA parts)
☐ Use PAD Prefix if existing package is used

Use existing package

Pad prefix

Wählen Sie ein existierendes passendes Package, wenn vorhanden, ansonsten wechseln Sie zur Karteikarte Package und geben Sie die Parameter aus dem Datenblatt entsprechend an.

16 ADC1INLP IN
17 ADC1INLNLIN

0 words replaced

Make BGA Package **Use Package** Text Options

Package options

☒ None
☐ Use PAD Names supplied with BSD file (for BGA parts)
☐ Use PAD Prefix if existing package is used

Use existing package

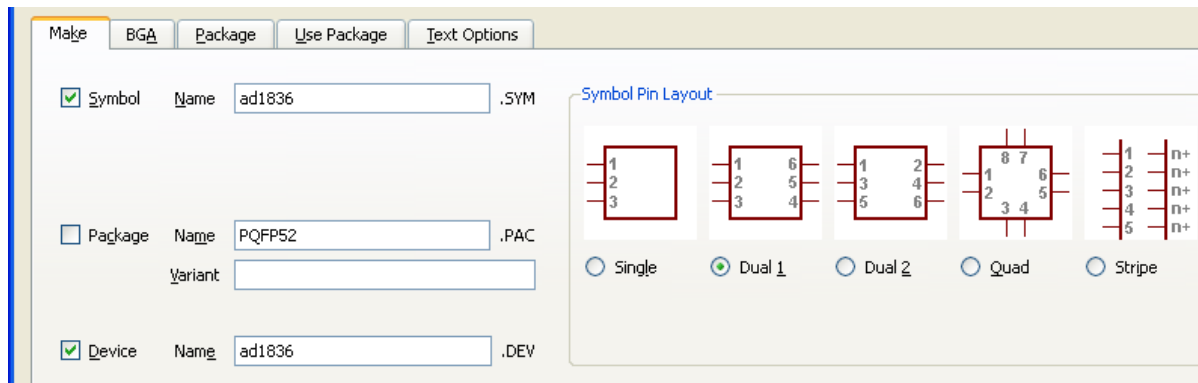
Pad prefix

- PLCC20
- PLCC285
- PLCC44
- PQFP44
- PQFP52**
- PQFP208
- PQFP240
- QFP-7X7-48
- QFP64_SOT393
- QSOP16
- SO-16W

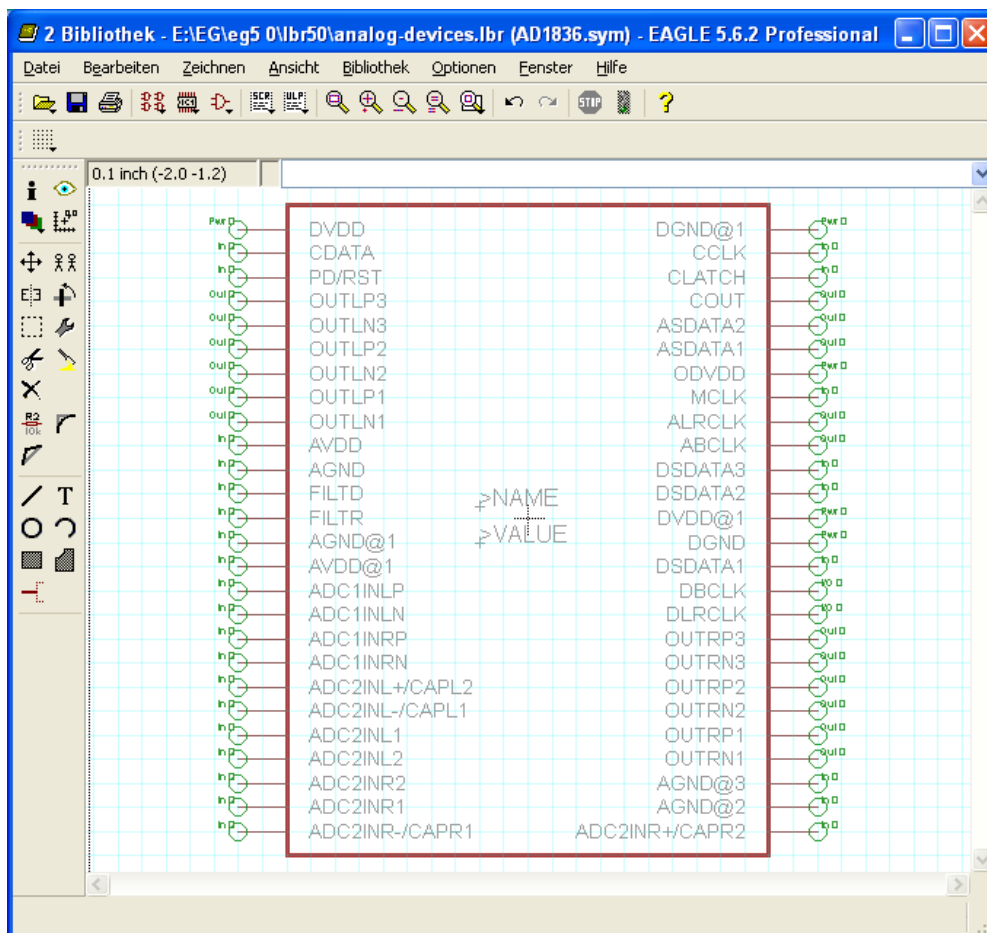
Wechseln Sie auf die Karteikarte Make.

Markieren Sie unter Make die Checkbox ☒ Symbol sowie ☒ Device und geben Sie den Namen für das Symbol Name [ad1836].SYM und das Device Name [ad1836].DEV an.

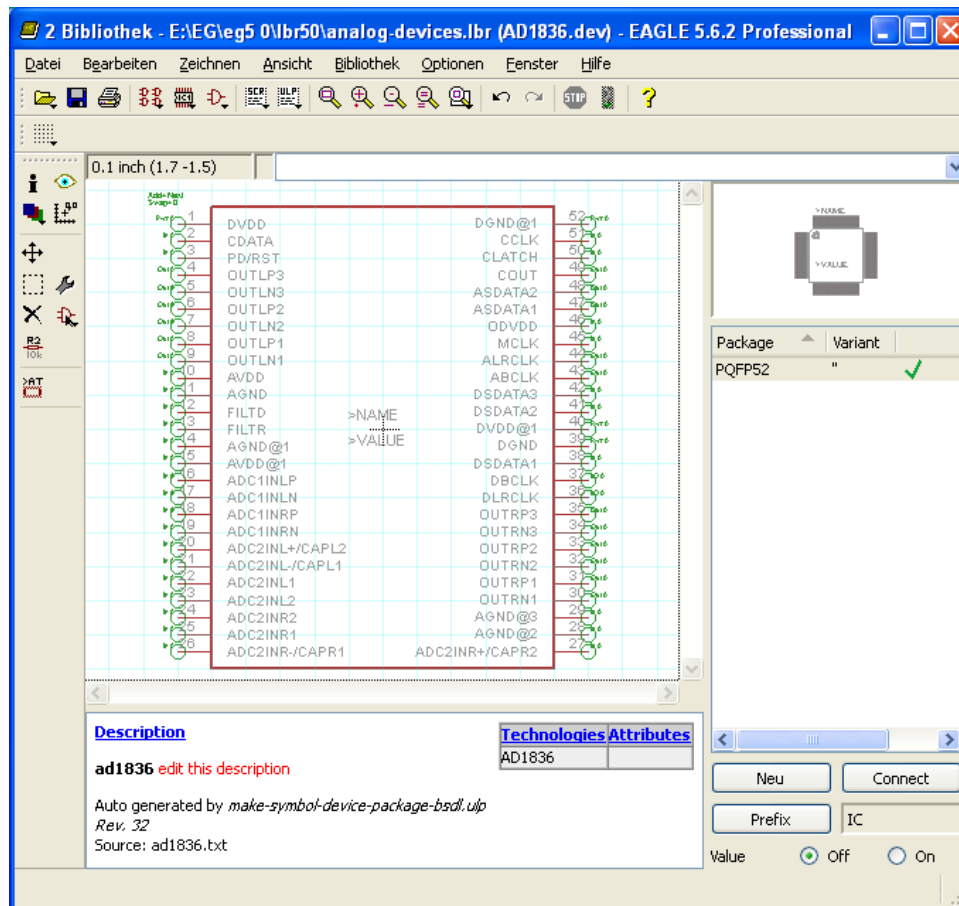
Wählen Sie die gewünschte Anordnung der Pins für das Symbol unter -Symbol Pin Layout -, z. B. Dual 1 und klicken Sie auf [OK].



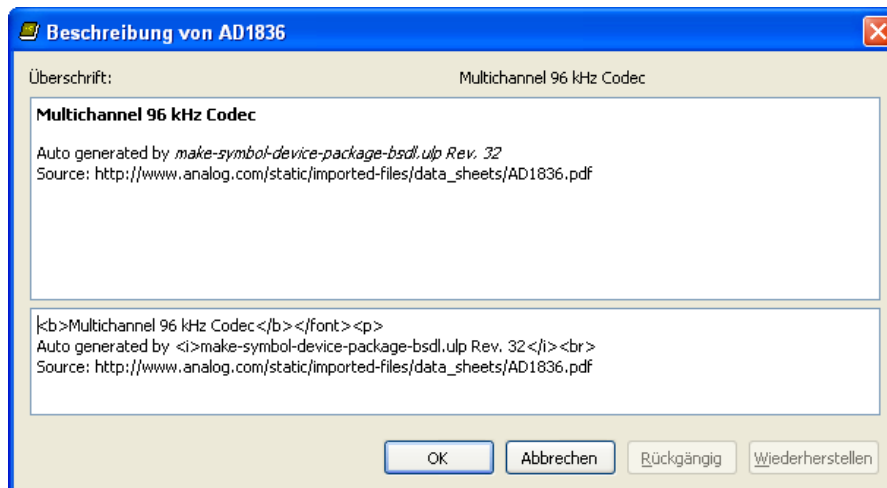
Das Script wird erzeugt und ausgeführt.



Passen Sie das Symbol eventuell noch Ihren Wünschen entsprechend an.



Editieren Sie die Description entsprechend dem Datenblatt mit [Description](#).



Klicken Sie auf [OK] und Speichern Sie die LBR.